Stage ingénieur : Développement d'une plateforme d'injection de fautes pour les accélérateurs matériels de réseaux de neurones.

Le nombre croissant d'applications critiques pour la sécurité intégrant des réseaux de neurones profonds (DNN) dans le domaine automobile pose de nouveaux défis en matière de sécurité, notamment en ce qui concerne leur mise en œuvre (c'est-à-dire la détection et l'atténuation des pannes aléatoires matérielles). Dans le domaine automobile, la norme ISO 26262 résume les propriétés de sécurité telles que l'absence de point de défaillance unique.

Pour relever ce défi, le service central de sûreté de fonctionnement, basé à Toulouse, en charge de la sécurité fonctionnelle des composants matériels et logiciels NXP propose un stage de master de six mois portant sur l'évaluation de la robustesse de l'accélérateur matériel de DNN de NXP par injection de fautes .

Le stage sera coordonné avec le laboratoire ONERA et le stagiaire aura accès aux outils NXP.

**Type de contrat**Stage

**Durée du contrat   
6 mois**

**Salaire**  
approx 600 € / mois

**Niveau d’études requis**  
BAC+5

**Expérience**Non

**Lieu de travail :**   
NXP semiconductors, Toulouse (31)

**Quotité de travail :**   
100%

Supervision :

Iban GUINEBERT (ONERA/NXP), Andres BARRILADO (NXP), Kevin DELMAS (ONERA) and Claire PAGETTI (ONERA)



**Missions :**

L'objectif principal du stage est de concevoir un cadre d'évaluation de la robustesse des accélérateurs DNN basé sur l'injection de fautes pour les produits NXP dédiés aux applications critiques pour la sûreté de fonctionnement.

Ce cadre s'inspirera d'une plate-forme d'injection de fautes existante basée sur l'intégration de saboteurs dans la conception RTL initiale d'un accélérateur de réseaux de neurones. Le/La stagiaire devra concevoir une extension de cette plate-forme adaptée aux accélérateurs DNN complexes et reconfigurables .

**–Le premier objectif est de concevoir l'extension à l'aide des langages de programmation VHDL/Verilog, de l'implémenter sur la carte FPGA Xilinx Virtex Ultrascale et de la valider sur un cas d'utilisation LeNet5 simple.**

**–Le deuxième objectif est d'explorer les capacités du framework Scala Chisel à implémenter un framework générique et extensible permettant la génération automatique de la plateforme d'injection de fautes, l'exécution de la campagne d'injection de fautes et le post-traitement des résultats des injections.**

**Vous êtes :** Étudiant(e) Master 2 ou dernière année d'école d'ingénieur en microélectronique (conception numérique)

**Compétences techniques et connaissances**

* **Bonne connaissance des systèmes sur puce Langages de description du matériel : VHDL, Verilog ou SystemVerilog**
* **Des notions en tests et en vérification sont un plus**
* **Connaissance des outils de synthèse pour FPGA (ex Xilinx Vivado,...)**
* **Langage Python, C**
* **La connaissance de Scala ou d'un langage de programmation fonctionnel est un plus**

**Compétences transverses**

* **Un bon niveau d'anglais est requis, travail dans une équipe internationale multi-sites.**

.

*L’Université fédérale Toulouse Midi-Pyrénées est une communauté d’universités et d’établissements (Comue) qui rassemble 31 établissements d’enseignement et organismes de recherche présents dans l’académie de Toulouse. L’Université fédérale porte la stratégie collective d’enseignement supérieur et de recherche et est en charge de la coordination territoriale. Ses équipes déploient leurs activités sur tous les domaines de la vie universitaire : formation (licence, master, doctorat), vie étudiante, santé des étudiante.s, recherche, valorisation et relations entreprises, diffusion de la culture des sciences et des techniques, relations internationales, développement durable, immobilier, gestion et exploitation des campus, coopération documentaire, numérique. En savoir plus :* ***www.univ-toulouse.fr***

**Pour postuler**

Adresser cv + lettre de motivation  
à :

**Contacts :**   
Iban Guinebert (Iban .guinebert@onera.fr),

Kevin Delmas (kevin.delmas@onera.fr)